

Apellidos _____

Nombre _____

DNI _____


Examen de Fundamentos de computadores. Área de Arquitectura y Tecnología de Computadores
Examen Final: 21-06-2003
A
Instrucciones generales para la realización de este examen

La respuesta debe escribirse en el hueco existente a continuación de cada pregunta **con letra clara**.

Cada respuesta correcta suma un punto. Cada respuesta incorrecta, ilegible o vacía no suma ni resta. El total de puntos se dividirá entre el total de preguntas y se multiplicará por 10 para obtener la nota del examen.

Se ha escrito un programa cuyo propósito es leer una serie de números positivos almacenados en la memoria y contar cuántos de ellos son pares. El recuento debe terminar tan pronto como se encuentre un número igual a cero. Para ello, dicho programa se ha estructurado en dos partes:

- Un procedimiento que recibe un dato como parámetro y devuelve 1 si el dato es par. Para saber si un número es par o impar basta fijarse en su bit menos significativo: si es 0 el número será par, si es uno, será impar.
- Un programa principal, que recorre la lista de datos de la memoria y para cada uno de ellos llama al procedimiento anterior, actualizando la cuenta de números pares en función del resultado devuelto por éste.

Para simplificar el programa, el paso de parámetros al procedimiento no utiliza la pila, sino el registro R0. En este mismo registro el procedimiento retornará su respuesta.

En el listado se muestra el código de este programa, en el que se han omitido instrucciones. En la tabla siguiente se muestra el valor de algunos de los registros del procesador en un instante de la ejecución del programa, recién finalizado el ciclo 3 de una instrucción.

R0=0000h	R1=2007h	R2=0003h	R3=0000h
MDR=1940h	MAR=201Ch	TMPE=0000h	TMPS=201Dh

Con esta información, responde a las preguntas que se indican a continuación.

```

ORIGEN 2000h
INICIO primera
.PILA 10h
.DATOS
numeros VALOR 16, 25,33,100,5h,32,0
pares VALOR 0
.CODIGO

PROCEDIMIENTO ESPAR
PUSH R1

; se aplica una máscara para obtener
; sólo el valor del bit menos signif.
MOVL R1, 1
MOVH R1, 0

----- ❶ -----

; y se calcula el opuesto de ese bit
XOR R0, R1, R0

POP R1
RET
FINP

primera:
; inicialización de registros
MOVL R1, BYTEBAJO DIRECCION numeros
MOVH R1, BYTEALTO DIRECCION numeros
XOR R2, R2, R2 ; cuenta de pares
MOV R3, R2 ; para ver final
bucle:
; se procesa la lista hasta leer
; un número que sea cero
MOV R0, [R1]
COMP R0, R3
BRZ Terminar
CALL ESPAR
ADD R2, R2, R0
INC R1
JMP bucle

Terminar:
; se almacena el resultado
MOVL R1, BYTEBAJO DIRECCION pares
MOVH R1, BYTEALTO DIRECCION pares
MOV [R1], R2

; bucle infinito
JMP -1

FIN
  
```

— ¿Cuál es el código de la instrucción JMP bucle? Contestar en hexadecimal.

JMP -7 = C0F9

— ¿Qué valores aparecerán en el bus interno IB en los dos ciclos siguientes al mostrado en la tabla? Contestar en hexadecimal.

2007h y 0003

— ¿Cuál es el valor mínimo que toma R7 durante la ejecución de este programa? Contestar en hexadecimal.

202Ch

— ¿Cuál es el valor máximo que toma el registro MAR durante la ejecución de este programa? Contestar en hexadecimal.

202Dh

— ¿Qué instrucción o instrucciones faltan en el hueco ❶?

AND R0, R1, R0

— Sabiendo que el reloj de la CPU tiene una frecuencia de 10MHz, ¿cuánto tiempo tarda la CPU en ejecutar la instrucción más larga del programa anterior? Contestar en μ s.

8 pasos $\rightarrow 8 \times 0,1 \mu s = 0,8 \mu s$

— Imagina que debido a un error de programación se ha omitido en el programa la instrucción POP R1 situada al final del procedimiento. Teniendo en cuenta esta situación, ¿a qué dirección retornará la instrucción RET del procedimiento la primera vez que se ejecute?

2000h

— ¿En qué dirección de memoria se halla almacenado el código máquina E000h? Contestar en hexadecimal.

dir del RET = 200Eh



Se quiere implementar una nueva instrucción en la CPU teórica que mueva un dato desde una posición de memoria, apuntada por un registro fuente **Rs**, a otra, apuntada por un registro destino **Rd**. El mnemónico de la nueva instrucción sería **MOV [Rd], [Rs]**.

— Indicar la secuencia de pasos de control (pasos 4 y posteriores) necesarios para ejecutar **MOV [R0], [R1]**.

4	R1-IB, IB-MAR, READ
5	CICLO DE ESPERA
6	R0-IB, IB-MAR, WRITE
7	FIN

— Se dispone de una ALU de 7 bits, constituida a partir de ALUs elementales como la explicada en clase. En un momento dado, se introduce en la entrada A de la ALU de 7 bits el código ASCII estándar de una letra, y en la entrada B el código ASCII estándar de la letra inmediatamente superior (por ejemplo 'R' y 'S' respectivamente). Indica cuál será el valor de los bits del registro de estado tras realizar la operación de resta. (Recuerda que la operación realizada por la ALU es A-B).

SF=1	OF=0	CF=1	ZF=0
------	------	------	------

Se dispone de una unidad de control microprogramada para la CPU teórica, cuyas palabras de control se interpretan como se indica en la siguiente figura (se muestran sólo los 12 bits menos significativos).



En un instante dado, se sabe que la señal IB-IR está activa.
— ¿Cuál es la palabra de control que está generando?
Contestar con tres dígitos hexadecimales.

...0001 1000 0000 = 180h

Se lleva a cabo una modificación del formato de coma flotante IEEE-754 para representar números reales utilizando 16 bits. El nuevo formato y las reglas de representación utilizadas son idénticas a las del formato de 32 bits, pero la magnitud de la mantisa se recorta a 7 bits, en vez de los 23 utilizados en el formato original. Contesta a las siguientes preguntas relativas a este nuevo formato.

— Indica el error absoluto que se cometería al representar el número 519,75. Contesta en decimal.

3,75

— ¿Cuántos números normalizados serían representables en este formato? Puedes contestar utilizando potencias de 2.

254×2^8

— Indica qué número representa en este formato los cuatro dígitos hexadecimales BEC0h. Contesta en decimal.

- 0.375



Se desea conectar un dispositivo de memoria a la CPU elemental. Se sabe que dicho dispositivo ocupará el rango de direcciones [D000—D7FF] y que estará formado por chips de organización 128x4.

— ¿Cuántos chips del tamaño mencionado serán necesarios?

16 x 4 = 64 chips

— ¿Qué rango de líneas del bus de direcciones de la CPU elemental irán conectadas al decodificador del dispositivo de memoria? (Ejemplo de respuesta: A2-A9)

A7-A10

— Si cargamos en este dispositivo de memoria un programa cuyas secciones de datos y código ocupen 100 palabras cada una, y cuya directiva origen sea: ORIGEN 0D180h, ¿qué banco o bancos del dispositivo de memoria contendrán instrucciones de la sección de código? Recuerda que los bancos se empiezan a numerar en 0.

3 y 4

Apellidos _____

Nombre _____

DNI _____



Examen de Fundamentos de computadores. Área de Arquitectura y Tecnología de Computadores

Examen Final: 21-06-2003

Se conectan a un sistema basado en la CPU teórica un teclado y una pantalla. La dirección base del teclado está almacenada en R0, y se sabe que es la F000h. La dirección base de la pantalla está almacenada en R1, y se sabe que es la más alta posible. **NOTA:** se recuerda que el tamaño de la pantalla es de 8x15 caracteres.

— Suponiendo que hay una pulsación en el buffer de teclado, escribir la instrucción o instrucciones que permiten escribir en la esquina inferior derecha de la pantalla, en blanco sobre fondo negro (atributo 7h), el código ASCII asociado a la tecla pulsada.

```
XOR R2, R2, R2 // ó MOVH R2, 0
```

```
MOVL R2, 119 // ó MOVL R2, 77h
```

```
ADD R1, R1, R2
```

```
MOV R2, [R0]
```

```
MOVH R2, 7h
```

```
MOV [R1], R2
```

— ¿Cuál es la dirección base de la pantalla? Contestar en hexadecimal.

FF80h

Cuando la CPU se encuentra ejecutando el paso 1 de la instrucción **COMP R0, R1** el valor de algunos registros de la CPU es el que muestra la tabla siguiente:

R0=0001h	R1=0000h	R2=0000h	R3=10F1h
R7=1100h	PC=10F0h	MAR=10F0h	TMPS=201Dh

También se sabe que cierta zona de la memoria del equipo contiene la siguiente información:

DIR.	CONT.
0000	7124
0001	AB38
0002	3951
0003	2000
0004	5720
0005	B4FF

En ese instante, un periférico asociado al vector de interrupción 3 solicita una interrupción, que será aceptada. Se sabe que la rutina de tratamiento de interrupción tiene seis instrucciones y que permite continuar la ejecución normal del programa en curso tras su ejecución.

— ¿Qué valor tomará el registro MAR tras finalizar la ejecución de la instrucción en curso? Contestar en hexadecimal.

10FF

— ¿Cuál es el contenido de la dirección de memoria 10FFh durante la ejecución de la rutina de tratamiento de la interrupción? Contestar en hexadecimal.

0001h

— ¿Cuál es el máximo valor que ha tomado el registro PC durante la ejecución de la rutina de interrupción? Contestar en hexadecimal.

2006h

— ¿Cuáles de las siguientes afirmaciones son CIERTAS? (puedes responder "ninguna" si así lo consideras)

- El número de instrucciones por segundo que puede ejecutar cualquier CPU sólo depende de su reloj.
- Un periférico sólo puede solicitar interrupción en el último paso de ejecución de las instrucciones.
- El micro-PC se utiliza para direccionar las palabras de control almacenadas en la memoria de microprograma.
- El número de palabras de control es igual para las UC cableadas que para las UC microprogramadas.

C

— Indica los componentes básicos de una unidad de control cableada y define brevemente su cometido

Registro de instrucciones:

Almacena la instrucción en ejecución

Decodificador de instrucciones:

Activa una señal por cada instrucción de la CPU

Contador de pasos:

Activa una señal para cada paso de ejecución

Circuito generador de señales

Genera las señales de control, en función de la instrucción en curso, del paso de ejecución y de los bits del registro de estado